

(19) 日本国特許庁 (JP)

特許公報 (B 2)

(11) 特許番号

第 2 9 7 3 9 6 9 号

(45) 発行日 平成11年(1999)11月8日

(24) 登録日 平成11年(1999)9月3日

(51) Int. C1. 6
G 02 F 1/136 5 0 0
1/1345

F I
G 02 F 1/136 5 0 0
1/1345

発明の数 6

(全 7 頁)

(21) 出願番号 特願平9-111465
(62) 分割の表示 特願昭61-263278の分割
(22) 出願日 昭和61年(1986)11月5日

(65) 公開番号 特開平10-39340
(43) 公開日 平成10年(1998)2月13日
審査請求日 平成9年(1997)5月26日

(73) 特許権者 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 松枝 洋二郎
長野県諏訪市大和3丁目3番5号 セイコー
エプソン株式会社内
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

審査官 井口 猶二

(56) 参考文献 特開 昭58-57188 (J P, A)
特開 昭58-95383 (J P, A)
実開 昭60-122922 (J P, U)

(58) 調査した分野 (Int. C1. 6, D B名)
G02F 1/136 500

(54) 【発明の名称】アクティブマトリクスパネル及びその検査方法

1

(57) 【特許請求の範囲】

1. 基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子にデータ信号を供給してなる複数のデータ線と、前記複数のデータ線に接続されて前記データ線に出力を供給するドライバ回路と、前記画素領域内の前記データ線を介して前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であつて、

前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素

2

領域内のデータ線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することにより前記データ線の欠陥を検査することを特徴とするアクティブマトリクスパネルの検査方法。

2. 基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子に走査信号を供給してなる複数の走査線と、前記複数の走査線に接続されて前記走査線に出力を供給するドライバ回路と、前記画素領域内の前記走査線を介して前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であつて、

前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素領域内の走査線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することにより前記走査線の欠陥を検査することを特徴とするアクティブマトリクスピネルの検査方法。

3. 基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子にデータ信号を供給してなる複数のデータ線と、前記複数のデータ線に接続されて前記データ線に出力を供給するドライバ回路と、前記画素領域内の前記データ線を介して前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスピネルであって、

前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じた前記各出力のチェック出力を該画素領域内のデータ線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することを特徴とするアクティブマトリクスピネル。

4. 基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子に走査信号を供給してなる複数の走査線と、前記複数の走査線に接続されて前記走査線に出力を供給するドライバ回路と、前記画素領域内の前記走査線を介して前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスピネルであって、

前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素領域内の走査線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することを特徴とするアクティブマトリクスピネル。

5. 基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子にデータ信号を供給してなる複数のデータ線と、前記複数のデータ線に接続されて前記データ線に出力を供給するドライバ回路と、前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスピネルの検査方法であって、

前記ドライバ回路からの各出力及び前記共通入力端子か

らの入力に応じて前記各出力のチェック出力を前記第2スイッチング素子を介して前記出力チェック用共通出力端子に出力することにより前記ドライバ回路の欠陥を検査することを特徴とするアクティブマトリクスピネルの検査方法。

6. 基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子に走査信号を供給してなる複数の走査線と、前記複数の走査線に接続されて前記走査線に出力を供給するドライバ回路と、前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスピネルの検査方法であって、

前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記第2スイッチング素子を介して前記出力チェック用共通出力端子に出力することにより前記ドライバ回路の欠陥を検査することを特徴とするアクティブマトリクスピネルの検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクスピネル及びその検査方法に関する。

【0002】

【従来の技術】従来のドライバー内蔵アクティブマトリクスピネルの例としては、反射型では「S I D (エス・アイ・ディー) 82ダイジェストP. 48-49山崎他」、また透過型では「S I D (エス・アイ・ディー) 84ダイジェストP. 316両角他」などがある。

【0003】図2はMOSFETを用いたドライバー内蔵アクティブマトリクスピネルの回路図の例である。31は画素エリアであり、データ線36, 37, 38、走査線39, 40, 41、及びそれらの交点に設けられた画素トランジスタ48, 49, 50とから成る。画素トランジスタにはそれぞれ画素電極がついており、対向電極54との間の液晶の容量が51, 52, 53である。

32はデータ線36, 37, 38を駆動するXドライバー、33は走査線39, 40, 41を駆動するYドライバーである。

【0004】

【発明が解決しようとする課題】しかし前述の従来技術では以下に述べるような問題点を生じる。すなわち、内蔵ドライバーの全出力が正常であるかどうかは、パネル状態にしてみなければわからないという問題点である。基板状態で検査するには、プローブカードでドライバーの全出力の信号を取り出す方法があるが、1度に数百～数千のパッドに針を当てるのは極めて困難である。

【0005】そこで本発明はこのような問題点を解決するものであり、その目的とするところは、基板状態で簡単にドライバーの出力をチェックできる回路を備えたドライバー内蔵アクティブマトリクスパネルの実現にある。

【0006】

【課題を解決するための手段】本発明は、基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子にデータ信号を供給してなる複数のデータ線と、前記複数のデータ線に接続されて前記データ線に出力を供給するドライバ回路と、前記画素領域内の前記データ線を介して前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素領域内のデータ線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することにより前記データ線の欠陥を検査することを特徴とする。本発明は、基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子に走査信号を供給してなる複数の走査線と、前記複数の走査線に接続されて前記走査線に出力を供給するドライバ回路と、前記画素領域内の前記走査線を介して前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素領域内の走査線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することにより前記データ線の欠陥を検査することを特徴とする。

【0007】本発明は、基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子にデータ信号を供給してなる複数のデータ線と、前記複数のデータ線に接続されて前記データ線に出力を供給するドライバ回路と、前記画素領域内の前記データ線を介して前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素領域内の走査線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することにより前記走査線の欠陥を検査することを特徴とする。

ルであって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じた前記各出力のチェック出力を該画素領域内のデータ線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することを特徴とする。本発明は、基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子に走査信号を供給してなる複数の走査線と、前記複数の走査線に接続されて前記走査線に出力を供給するドライバ回路と、前記画素領域内の前記走査線を介して前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルであって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素領域内の走査線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することを特徴とする。

【0008】本発明は、基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子にデータ信号を供給してなる複数のデータ線と、前記複数のデータ線に接続されて前記データ線に出力を供給するドライバ回路と、前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素領域内の走査線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することにより前記ドライバ回路の欠陥を検査することを特徴とする。

【0009】本発明は、基板上に配置された複数の画素電極と前記複数の画素電極に接続されてなる複数の第1スイッチング素子とを有する画素領域と、前記複数の第1スイッチング素子に走査信号を供給してなる複数の走査線と、前記複数の走査線に接続されて前記走査線に出力を供給するドライバ回路と、前記ドライバ回路に接続された複数の第2スイッチング素子と、前記複数の第2スイッチング素子に入力信号を供給する共通入力端子と、前記複数の第2スイッチング素子に接続された出力チェック用共通出力端子とを具備するアクティブマトリクスパネルの検査方法であって、前記ドライバ回路からの各出力及び前記共通入力端子からの入力に応じて前記各出力のチェック出力を前記画素領域内の走査線と前記第2スイッチング素子とを介して前記出力チェック用共通出力端子に出力することにより前記ドライバ回路の欠陥を検査することを特徴とする。

より前記ドライバ回路の欠陥を検査することを特徴とする。

【0010】

【発明の実施の形態】

【実施例1】図1は本発明の1実施例を示す、ドライバーとその出力チェック回路を内蔵したアクティブマトリクスパネルの回路図である。このパネルは画素エリア1と、Xドライバー2とその出力チェック回路4、そしてYドライバー3とその出力チェック回路5とから成っている。画素エリアは、データ線6, 7, 8と走査線9, 10, 11、及びこれらの交点に配置された画素トランジスタ18, 19, 20とから成る。画素トランジスタにはそれぞれ画素電極がついており、対向電極24との間に液晶を介した容量21, 22, 25を形成している。Xドライバー2はデータ線6, 7, 8を順次選択し、画像データを書き込む働きを持つ。一方、Xドライバー出力チェック回路4は、スイッチング素子12, 13, 14とその制御入力25及び出力26とから成っている。スイッチング素子をすべて閉じさせるような入力信号を25に入れた状態でXドライバーを動作させると、画像データ1行分の信号が出力26から取り出せる。もし、この信号に非連続点や電圧レベルに異常な点があれば、そのタイミングに応じた列の動作が不良であることがわかる。Yドライバー3も走査線9, 10, 11を順次選択するが、ドライバーの出力がハイとローの2値であるので、この信号で制御されるようなスイッチング素子15, 16, 17とその入出力27, 28とでYドライバーチェック回路を構成する。この場合、Yドライバーが動作している間はチェック回路も動作するが、走査線同志がショートするようなことはないためパネルの動作に影響は与えない。Y側をチェックする場合には入力27に適当な信号を入れ、出力28からそれと同じ信号が取り出されることを確認すればよい。

【0011】次に、出力チェック回路の構成例をあげ、具体的な検査方法を説明する。図3はXドライバー出力チェック回路の回路図である。61は画素アレイ部、62はXドライバー、63はYドライバーである。XドライバーはCMOSのクロックドインバータを用いたシフトレジスタと、その出力64, 65, 66, 67のタイミングに応じてビデオ信号VIDからデータ線72, 75, 74, 75にデータを書き込むアナログスイッチ68, 69, 70, 71とから成る。Xドライバー出力チェック回路は、Nチャネルのトランジスタ76, 77, 78, 79と3本の配線TX1, TX2, CXとから成る。Xドライバー内のシフトレジスタ部の検査は、スタートパルスXSPが所定の段数分だけ遅れたタイミングでエンドパルスXEPに出てることを確認すればよい。シフトレジスタが正常に動作していた場合、Xドライバー出力チェック回路を用いてビット不良がないかを検査する。その方法を図4を用いて説明する。同図XS

P, φXはそれぞれシフトレジスタのスタートパルスとクロックの電圧波形である。(a), (b), (c), (d)はシフトレジスタの各段の出力64-67の電圧波形である。TX1をハイ、TX2をローレベルにして、VIDに(e)のような信号を入れると、奇数列のデータ線の信号がCXに(f)のような形で表れる。逆にTX1をロー、TX2をハイレベルにして、VIDに(g)のような信号を入れると、偶数列のデータ線の信号がCXに(h)のような形で表れる。この時、(f)及び(h)の電圧波形が規則正しければビット不良はないということになる。もし不規則な点があれば、そのタイミングから不良の番地がわかる。

【0012】図5はYドライバー出力チェック回路の回路図である。81は画素エリア部、82はXドライバー、83はYドライバーである。Yドライバー出力チェック回路はNチャネルのトランジスタ87, 88, 89と2本の配線TY, CYとから成る。図6は図5の各部の電圧波形である。YSP, φYはYドライバーのスタートパルスとクロック、(a), (b), (c)は走査線84, 85, 86の信号に対応する。シフトレジスタ部の検査はX側と同様エンドパルスYPEで確認できる。走査線の信号レベルはハイとローの2値しかないので、走査線が選択されるのと同時にトランジスタ87, 88, 89もONする。たとえばTYに(d)のような信号を入れるとCYには(e)のような信号が表れる。この波形が規則正しければビット不良はないということになる。

【0013】【実施例2】図7は本発明の第2の実施例を表すXドライバー出力チェック回路の回路図である。101は画素エリア、102はXドライバー、103はXドライバー出力チェック回路である。第1の実施例と異なるのはCMOSのトランジスタを用いている点であり、TXHをハイ、TXLをローにしておけば広い電圧範囲のビデオ信号に対して出力をチェックできる。Xドライバーの出力バッファがCMOSで構成されている場合などには、本実施例を用いる方がよい。

【0014】【実施例3】図8は本発明の第3の実施例を表すドライバー内蔵アクティブマトリクスピネルの回路図である。111は画素エリア、112はXドライバー、113はYドライバー、114はXドライバー出力チェック回路、115はYドライバー出力チェック回路である。本実施例の特徴は出力チェック回路をダイオードのアレイで構成したところにある。トランジスタに比べて配線も減り、回路のしめる面積も減少するという長所を持っている。

【0015】【実施例4】図9は本発明の第4の実施例を示すドライバー内蔵アクティブマトリクスピネルの回路図である。本実施例の特徴はドライバーを対称に配置し、1本の走査線あるいはデータ線をそれぞれ2つのドライバーで駆動できるように冗長性を持たせたと

ころである。すなわち、本実施例においてはドライバーの出力不良があつても、同じ番地の反対側のドライバーが正常であれば、不良箇所をレーザーリベア等で切断すれば良品となる。本実施例ではこのように修正が可能となるため歩留まりは大幅に向向上する。121は画素エリア、122, 123が上下のXドライバー、126, 127が上下のXドライバー出力チェック回路、124, 125が左右のYドライバー、126, 127が左右のYドライバー出力チェック回路であり、上下、左右のドライバーとチェック回路が対称に配置されている。本実施例におけるドライバー出力チェック回路は、実施例1と同様に動作する。また本実施例においては画素エリアの上下、左右にチェック回路を設けているため、2つのドライバ回路のうち、一方の側のドライバ回路の出力を他方の側に設けたドライバー出力チェック回路の出力端子に出力すれば、画素エリア内の断線、ショートもチェックすることができ、信号のタイミングからその番地を割り出すこともできる。

【0016】

【発明の効果】以上述べたように、本発明のアクティブマトリクスパネル及びその検査方法は、パネル組み立て以前に基板の状態が効率よく検査ができるため、作業時間の短縮、製品のコストダウンが可能となる。また、本発明のアクティブマトリクスパネル及びその検査方法で

は、ドライバのチェックあるいは、データ線や走査線の不良箇所を調べることができる。データ線や走査線がショートしていればチェック回路の出力タイミングから一意的に番地を求めることができ、走査線やデータ線に断線がないか調べることができる。

【図面の簡単な説明】

【図1】ドライバー内蔵アクティブマトリクスパネルの回路図。

【図2】従来のドライバー内蔵アクティブマトリクスパネル回路図。

【図3】Xドライバー出力チェック回路の回路図。

【図4】図3の各部の電圧波形を示す図。

【図5】Yドライバー出力チェック回路の回路図。

【図6】図5の各部の電圧波形を示す図。

【図7】Xドライバー出力チェック回路の回路図。

【図8】ドライバー内蔵アクティブマトリクスパネルの回路図。

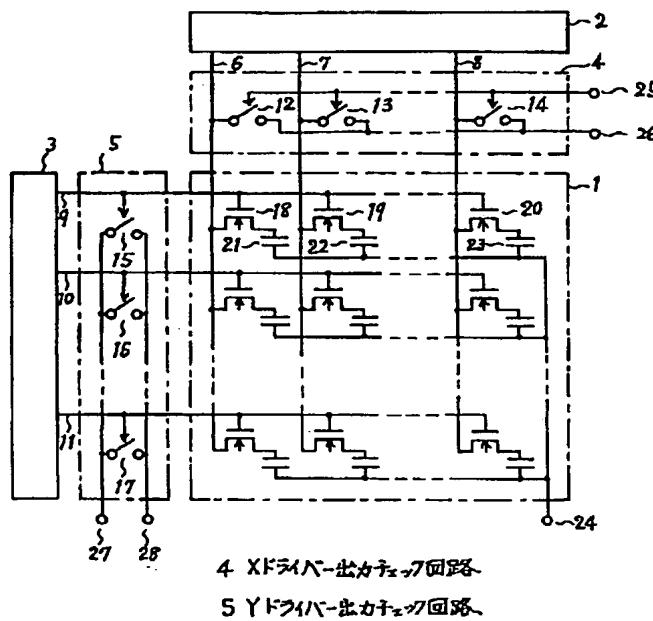
【図9】ドライバー内蔵アクティブマトリクスパネルの回路図。

【符号の説明】

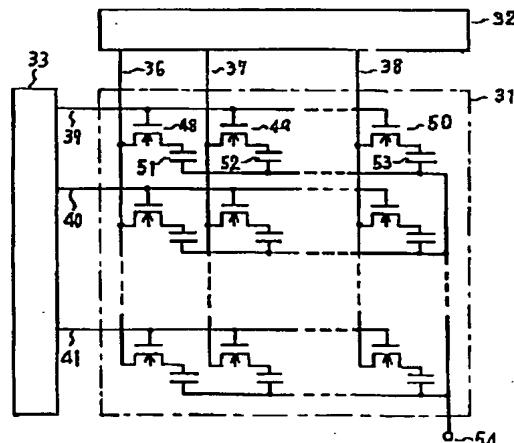
4, 103, 114, 126, 127 … Xドライバー出力チェック回路

5, 115, 128, 129 … Yドライバー出力チェック回路

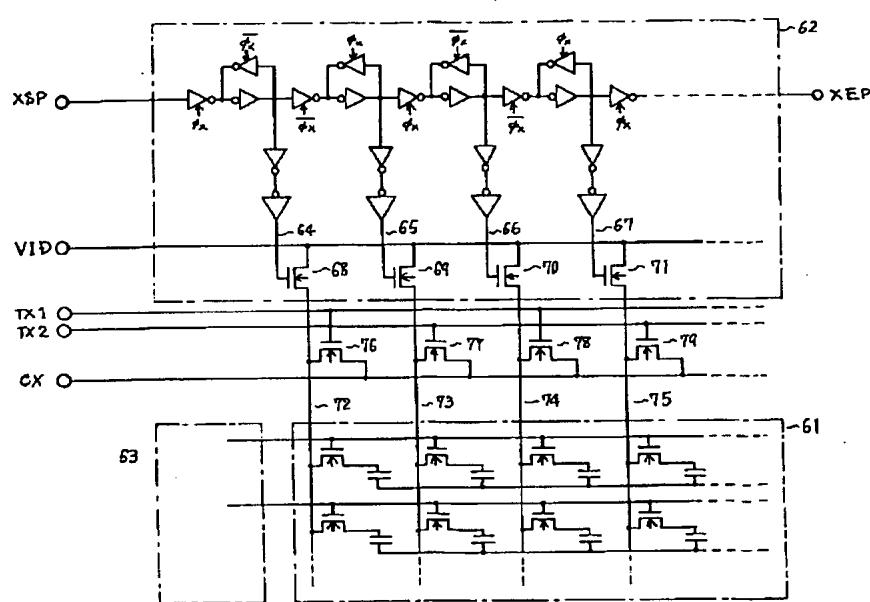
【図1】



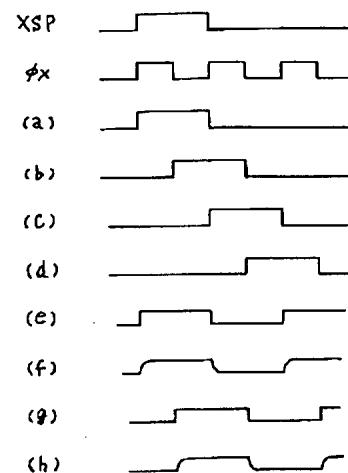
【図2】



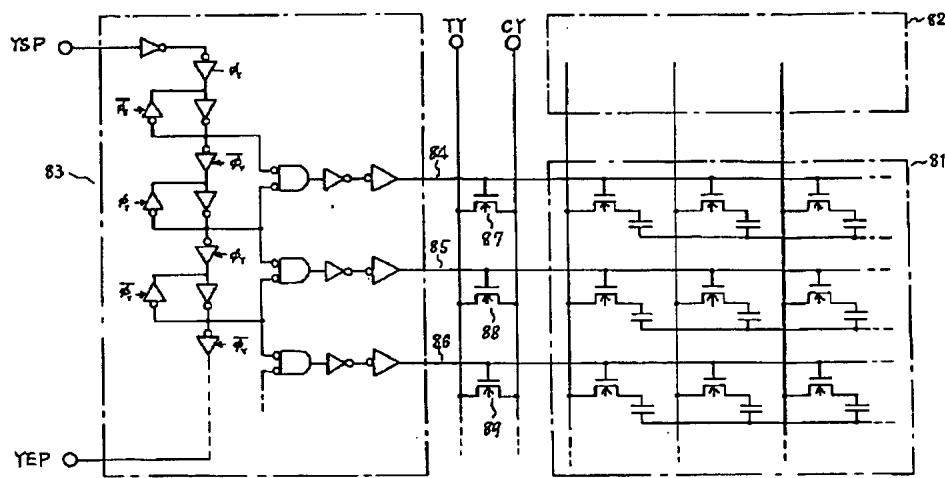
【図 3】



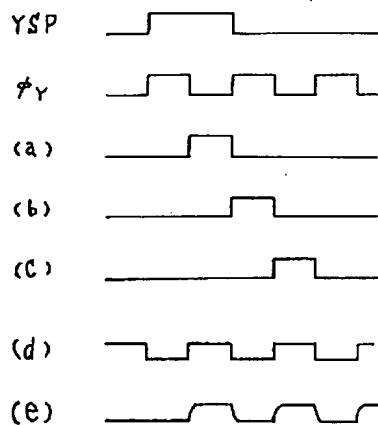
【図 4】



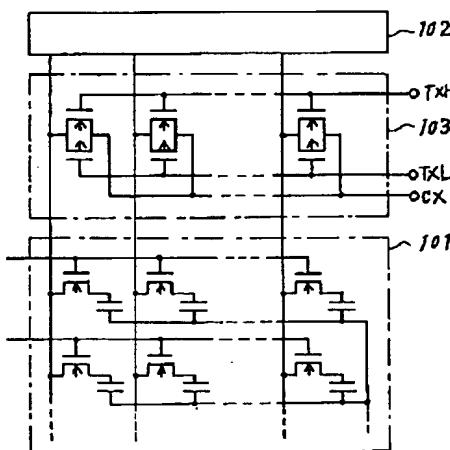
【図 5】



【図 6】

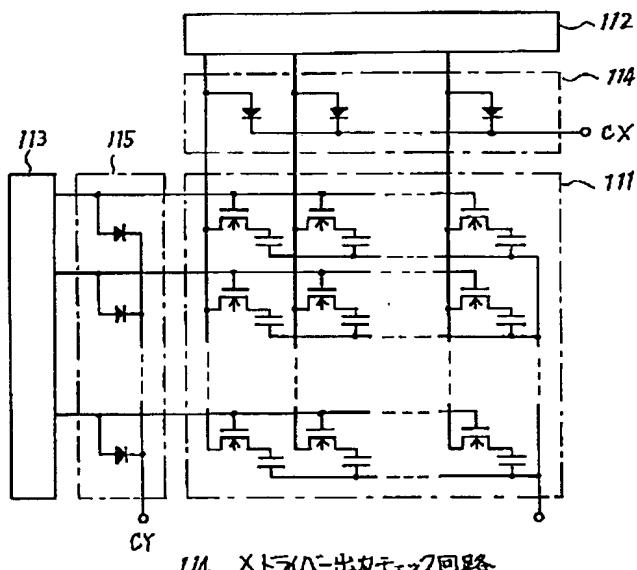


【図 7】



103 X ドライバー出力チェック回路

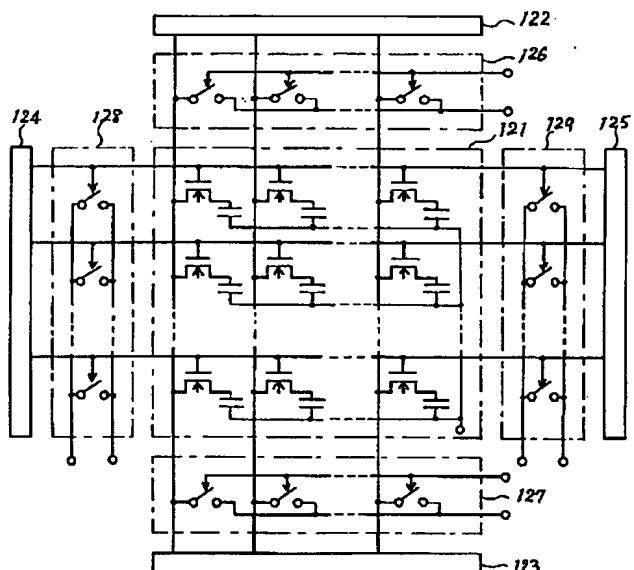
【図 8】



114 X ドライバー出力チェック回路

115 Y ドライバー出力チェック回路

【図 9】



126, 127 X ドライバー出力チェック回路

128, 129 Y ドライバー出力チェック回路

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10039340 A**

(43) Date of publication of application: **13 . 02 . 98**

(51) Int. Cl

G02F 1/136

G02F 1/1345

(21) Application number: **09111465**

(71) Applicant: **SEIKO EPSON CORP**

(22) Date of filing: **28 . 04 . 97**

(72) Inventor: **MATSUEDA YOJIRO**

(62) Division of application: **61263278**

**(54) ACTIVE MATRIX PANEL AND ITS INSPECTION
METHOD**

their inputs and outputs 27, 28.

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To make it possible to easily check the outputs of drivers in a substrate state by outputting the check outputs of the respective outputs meeting the respective outputs from driver circuits via data lines and switching elements to output terminals for checking.

SOLUTION: X driver output check circuits 4 consist of the switching elements 12 to 14 and their control inputs and outputs 26. The signals for one line of image data may be fetched from the outputs 25 when X drivers 2 are operated in the state of putting such input signals that close all of the switching elements 12 to 14 into the inputs 25. The abnormal defects, if any, existing at the discontinuous points and voltage levels of these signals are indicative of the fact that the operation of the row meeting the timing is defective. The Y drivers also successively select scanning lines 9 to 11 but since the driver outputs are binary values of HL, the Y driver check circuits 5 may be composed of the switching elements 15 to 17 to be controlled by these signals and

